

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Takehiko SHIMOMURA et al.)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: August 28, 2001)	
)	
For: SCAN TEST SYSTEM FOR)	
SEMICONDUCTOR DEVICE)	
)	
)	
)	



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2001-090830

Filed: March 27, 2001

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: August 28, 2001

By:

Platon N. Mandros
Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

#2

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : March 27, 2001

Application Number : Japanese Patent Application No. 2001-090830

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA



This 20th day of April, 2001

Commissioner,
Japan Patent Office Kozo OIKAWA

Certificate No. 2001-3032526

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月27日

出願番号

Application Number:

特願2001-090830

出願人

Applicant(s):

三菱電機株式会社

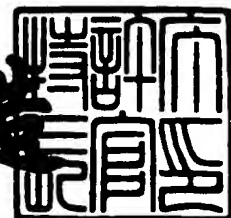
Jc857 U.S. PTO
09/939602
08/28/01

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月20日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3032526

【書類名】 特許願

【整理番号】 528940JP01

【提出日】 平成13年 3月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/28

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

 【氏名】 下村 武彦

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

 【氏名】 小西 雅幸

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100066474

 【弁理士】

 【氏名又は名称】 田澤 博昭

【選任した代理人】

 【識別番号】 100088605

 【弁理士】

 【氏名又は名称】 加藤 公延

【手数料の表示】

 【予納台帳番号】 020640

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【ブルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体デバイスのスキャンテスト方式

【特許請求の範囲】

【請求項1】 アナログ入力側の第1のアナログ入出力ピンと第1の内部回路との間に接続されるスキャンレジスタを備えた第1の半導体デバイスと、

アナログ出力側の第2のアナログ入出力ピンと第2の内部回路との間に接続されるスキャンレジスタを備えた第2の半導体デバイスと、

上記第1のアナログ入出力ピンと上記第2のアナログ入出力ピンとを接続するアナログ配線とを備えた半導体デバイスのスキャンテスト方式。

【請求項2】 第1および第2の半導体デバイスのうち少なくとも一方がデバイス内部でスキャンレジスタの複数個をシリアル接続したレジスタチェーンを構成することを特徴とする請求項1記載の半導体デバイスのスキャンテスト方式。

【請求項3】 レジスタチェーンを構成するスキャンレジスタはJTAG仕様に適合しJTAGスキャンレジスタを構成し、このJTAGスキャンレジスタを制御する制御手段を備えることを特徴とする請求項2記載の半導体デバイスのスキャンテスト方式。

【請求項4】 入力側のデジタル／アナログダブルファンクションピンと内部回路との間に接続される第1のスキャンレジスタと、

出力側のデジタル入出力ピンと上記内部回路との間に接続される第2のスキャンレジスタと、

上記第1のスキャンレジスタの複数個をシリアル接続し、各々がデータ入力を取り込みその結果を出力側に出力する第1のレジスタチェーンと、

この第1のレジスタチェーンに連続しつつ、上記第2のスキャンレジスタの複数個をシリアル接続し、各々がデータ入力を取り込みその結果をデータ出力に出力する第2のレジスタチェーンと、

上記第1および第2のレジスタチェーンの少なくとも一方をバイパスして上記データ入力を出力側に接続する切り替え手段とを備えた半導体デバイスのスキャンテスト方式。

【請求項5】 第1および第2のレジスタチェーンを構成するスキャンレジスタはJTAG仕様に適合しJTAGスキャンレジスタを構成し、このJTAGスキャンレジスタを制御する制御手段を備えることを特徴とする請求項4記載の半導体デバイスのスキャンテスト方式。

【請求項6】 切り替え手段が、第1のレジスタチェーンとこれをバイパスする第1のバイパス線とを切り替える第1のスイッチと、第2のレジスタチェーンとこれをバイパスする第2のバイパス線とを切り替える第2のスイッチとから成ることを特徴とする請求項4記載の半導体デバイスのスキャンテスト方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体デバイス間を接続する配線のショート／オープンを検査する半導体デバイスのスキャンテスト方式に関するものである。

【0002】

【従来の技術】

図5は、例えば特開平5-322989号公報に示される従来の半導体デバイスのスキャンテスト方式を示す概略構成図であり、この半導体デバイスはデジタル接続された当該デバイス間の配線ショート／オープンを検査できるJTAGバウンダリスキャンレジスタを備えている。図において、2は半導体デバイス、6はデジタル入出力ピン、8は内部システムロジック、9はJTAG仕様のバウンダリスキャンレジスタまたはJTAGバウンダリスキャンレジスタ、10はバウンダリスキャンレジスタチェーン、11はTDO (Test Data Output)、12はTMS (Test Mode Select)、13はTDI (Test Data Input)、14はTCK (Test Clock)、15はTAPC (Test Access Port Controller) である。

【0003】

図6は、バウンダリスキャンレジスタ9の基本構成を示すものであり、図において、16は入力マルチプレクサ、17はシフトレジスタステージ、18はパラ

レル出力ステージ、19はデータ入力、20はShift-DR（シフトデータレジスタ信号）、21はClock-DR（クロックデータレジスタ信号）、22はUpdate-DR（アップデートデータレジスタ信号）、23はデータ出力である。

【0004】

次に従来の半導体デバイスのスキャンテスト方式の動作について説明する。

それぞれのデジタル入出力ピン6に内蔵されているバウンダリスキャンレジスタ9は、TAPC15の状態遷移に基づいて、キャプチャ（Capture）、シフト（Shift）、アップデート（Update）の基本動作を行う。このTAPC15の状態遷移はTMS入力によって行われ、それぞれの状態における動作に必要な制御信号を供給する。

【0005】

以下、これらの基本動作について説明する。

（1）キャプチャ動作

バウンダリスキャンレジスタ9のシフトレジスタステージ17にシステム回路すなわち内部システムロジック及び外部システムロジック（ここではアナログセンサからの入力に相当）から値を取り込む。

（2）シフト動作

テストデータレジスタのスキャン動作を行う。このバウンダリスキャンレジスタ9が現在の命令で指定されている場合には、TDI13とTDO11の間にこのテストデータレジスタが接続され、TCK14に同期して1ビットずつシリアル出力方向へシフトする。

（3）アップデート動作

テストデータレジスタの平行出力ステージ18を更新する。バウンダリスキャンレジスタ9が現在の命令で指定されている場合には、TCK14に同期してバウンダリスキャンレジスタ9のシフトレジスタステージ17から平行出力ステージ18へデータを転送する。なお、Clock-DR21がアクティブになるのは、Shift-DR20またはCapture-DRがアクティブになるときである。

【 0 0 0 6 】

【発明が解決しようとする課題】

従来の半導体デバイスのスキャンテスト方式は以上のように構成されているので、従来の J T A G バウンダリスキャンレジスタ 9 はデジタル端子に配置されているため、デジタル接続されたデバイス間を接続する配線のショート／オープンを検出可能であるが、アナログ接続された配線は別途プローブを立ててモニターする等の必要がある。しかし、近年半導体デバイスの実装は高密度化する傾向にありプローブを立ててモニター検査を行うのが困難になってきているといった課題があった。

【 0 0 0 7 】

また、近年の半導体デバイスの多ピン化の進行によりプローブを立てたモニター検査はコストが高くなってきたという課題があった。

【 0 0 0 8 】

ここで、図 5 に示される従来の J T A G バウンダリスキャンレジスタ 9 をアナログ端子に接続できない理由を述べておくと、半導体デバイス 2 に内蔵する J T A G バウンダリスキャンレジスタ 9 は、デジタル回路により構成されているため、中間電位（例えば、5 V インタフェースであるデジタル入力端子に 2. 5 V）のようなアナログ信号が入力されると、入力段のトランジスタで貫通電流が流れて消費電力の増大または故障を招くおそれがあり、このためアナログ端子には J T A G バウンダリスキャンレジスタ 9 を接続することはできないからである。

【 0 0 0 9 】

この発明は上記のような課題を解決するためになされたもので、半導体デバイスを実装した後の半導体実装基盤において、当該デバイス間をアナログ接続した配線のショート／オープンをプローブ検査せずに行うことが可能な半導体デバイスのスキャンテスト方式を得ることを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

この発明に係る半導体デバイスのスキャンテスト方式は、アナログ入力側の第 1 のアナログ入出力ピンと第 1 の内部回路との間に接続されるスキャンレジスタ

を備えた第1の半導体デバイスと、アナログ出力側の第2のアナログ入出力ピンと第2の内部回路との間に接続されるスキャンレジスタを備えた第2の半導体デバイスと、第1のアナログ入出力ピンと第2のアナログ入出力ピンとを接続するアナログ配線とを備えたものである。

【 0 0 1 1 】

この発明に係る半導体デバイスのスキャンテスト方式は、第1および第2の半導体デバイスのうち少なくとも一方がデバイス内部でスキャンレジスタの複数個をシリアル接続したレジスタチェーンを構成するものである。

【 0 0 1 2 】

この発明に係る半導体デバイスのスキャンテスト方式は、レジスタチェーンを構成するスキャンレジスタはJTAG仕様に適合しJTAGスキャンレジスタを構成し、このJTAGスキャンレジスタを制御する制御手段を備えるものである。

【 0 0 1 3 】

この発明に係る半導体デバイスのスキャンテスト方式は、入力側のデジタル／アナログダブルファンクションピンと内部回路との間に接続される第1のスキャンレジスタと、出力側のデジタル入出力ピンと内部回路との間に接続される第2のスキャンレジスタと、第1のスキャンレジスタの複数個をシリアル接続し、各々がデータ入力を取り込みその結果を出力側に出力する第1のレジスタチェーンと、この第1のレジスタチェーンに連続しつつ、第2のスキャンレジスタの複数個をシリアル接続し、各々がデータ入力を取り込みその結果をデータ出力に出力する第2のレジスタチェーンと、第1および第2のレジスタチェーンの少なくとも一方をバイパスしてデータ入力を出力側に接続する切り替え手段とを備えたものである。

【 0 0 1 4 】

この発明に係る半導体デバイスのスキャンテスト方式は、第1および第2のレジスタチェーンを構成するスキャンレジスタはJTAG仕様に適合しJTAGスキャンレジスタを構成し、このJTAGスキャンレジスタを制御する制御手段を備えるものである。

【 0 0 1 5 】

この発明に係る半導体デバイスのスキャンテスト方式は、切り替え手段が、第 1 のレジスタチェーンとこれをバイパスする第 1 のバイパス線とを切り替える第 1 のスイッチと、第 2 のレジスタチェーンとこれをバイパスする第 2 のバイパス線とを切り替える第 2 のスイッチとから成るものである。

【 0 0 1 6 】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態 1.

図 1 はこの発明の実施の形態 1 による半導体デバイスのスキャンテスト方式を示す概略構成図であり、図において、1 はプリント基板などの半導体実装基盤、2 は半導体デバイス（第 1 の半導体デバイス）、3 はアナログセンサ（第 2 の内部回路、第 2 の半導体デバイス）、4 はスキャンレジスタ、5 はアナログ入出力ピン、6 はデジタル入出力ピン、7 はアナログ配線、8 は内部システムロジック（第 1 の内部回路）である。

【 0 0 1 7 】

なお、この半導体実装基盤 1 は一般家電製品をはじめあらゆる分野で幅広く使用されているもので、また、アナログセンサ 3 としては自動車応用分野では加速度センサ、アクセル開度センサ、車高センサ等が考えられ、一般には半導体デバイスにより構成されている。

【 0 0 1 8 】

図 1 では、半導体デバイス 2 とアナログセンサ 3 を含む他の半導体デバイスを組み立てた例を示しているが、通常は複数の部品が高密度実装されていることが多い。このため、この実施の形態 1 では、複雑な配線検査を行う手段として、半導体デバイス 2 とアナログセンサ 3 のそれぞれにスキャンレジスタ 4 を備えることで、アナログ配線 7 をデジタル的に検査しようとするものである。

【 0 0 1 9 】

図 2 は、スキャンレジスタ 4 の基本構成を示すものであり、図において、17 はシフトレジスタステージ、18 はパラレル出力ステージ、19 はデータ入力、

21はClock-DR（クロックデータレジスタ信号）、22はUpdate-DR（アップデートデータレジスタ信号）、23はデータ出力である。

【0020】

次にこの実施の形態1による半導体デバイスのスキャンテスト方式の動作について説明する。

アナログセンサ3側のスキャンレジスタ4よりアナログ入出力ピン5からデジタル信号（“H”または“L”）を半導体デバイス2に出力する。一方、半導体デバイス2側ではアナログ配線7を経由してアナログ入出力ピン5より入力されたデジタル信号（“H”または“L”）をスキャンレジスタ4が取り込んでアナログ配線7が正しく接続されているかどうかの判断を行う。このスキャンレジスタ4を動作させる手段としては、例えば、出力側のアナログセンサ3においては、外部ピンの設定によりテスト用端子の入力レベルを検知してアナログ入出力ピン5からデジタル信号（“H”または“L”）を出力させる。一方、入力側のスキャンレジスタ4についても内蔵CPUにより取り込んだデータを他のピンから出力させるようにすればよい。

【0021】

以上のように、この実施の形態1によれば、スキャンレジスタ4にデータを設定するだけで、アナログ接続された半導体デバイス2とアナログセンサ3間のアナログ配線7のショート／オープンをデジタル的に検査することができ、しかもデバイス実装後に従来実施していた各配線にプローブを立てる等のモニター検査が不要となるので検査時間の削減とともに、検査コストを低減することができる。その結果、検査効率が向上するという効果が得られる。

【0022】

実施の形態2.

図3はこの発明の実施の形態2による半導体デバイスのスキャンテスト方式を示す概略構成図であり、図において、1は半導体実装基盤、2は半導体デバイス（第1の半導体デバイス）、3はアナログセンサ（第2の半導体デバイス）、4はスキャンレジスタ、5はアナログ入出力ピン、6はデジタル入出力ピン、7はアナログ配線、8は内部システムロジック（第1の内部回路）、9はバウンダリ

スキャンレジスタ（スキャンレジスタ）、10はバウンダリスキャンレジスタチェーン（レジスタチェーン）、11はTDO（テストデータ出力ピン）、12はTMS（テストモード選択ピン）、13はTDI（テストデータ入力ピン）、14はTCK（テストクロックピン）、15はTAPC（テストアクセスポートコントローラ）（制御手段）、26は入出力ピンである。

【0023】

これらについて補足説明をしておくと、TCK14はテストクロック入力で、各部品に共通なテスト論理専用のクロック入力であり、部品間で異なるシステムクロックと異なり、部品間にまたがるシリアルデータ経路を動作させることができる。TMS12はテストモード選択入力であり、この信号はTCK14の立ち上がりでテスト論理に取り込まれ、TAPC15によってデコードされ、テスト動作を制御する。TDI13はシリアルデータ入力であり、この入力値はTCK14の立ち上がりエッジで、選択されている命令レジスタあるいはテストデータレジスタに取り込まれる。TDO11はシリアルデータ出力であり、選択されたレジスタの内容がTCK14の立ち下がりエッジで、このTDO11を経由して外部へ出力される。

【0024】

図3は上記実施の形態1と同様、半導体デバイス2とアナログセンサ3を接続した例を示すもので、バウンダリスキャンレジスタ9はJTAG仕様になっており、シリアル接続されることによりバウンダリスキャンレジスタチェーン10を構成する。このJTAG仕様のバウンダリスキャンレジスタを専用のTAPC15が制御する。

【0025】

TAPC15にJTAG命令が入力されると、命令を受けたTAPC15は各バウンダリスキャンレジスタ9に対して制御信号を出力して所望の動作を実行させる。

【0026】

このTAPC15はTMS12とTCK14の信号変化に応じていくつかの状態（計16通り）に遷移するもので、以下に遷移状態の概要について述べる。

- (1) Test-Logic-Reset : リセット状態。
- (2) Run-Test/Idle : テスト命令実行状態。
- (3) Select-DR-Scan : 他の状態へ遷移するためのテンポラリ状態。
- (4) Select-IR-Scan : 他の状態へ遷移するためのテンポラリ状態。
- (5) Capture-IR : 命令レジスタのシフトレジスタ段に固定値を取り込む状態。
- (6) Shift-IR : 命令レジスタのスキャン動作を行う状態。
- (7) Exit1-IR : 他の状態へ遷移するためのテンポラリ状態。
- (8) Pause-IR : 命令レジスタのシフト動作を一時的に停止する状態。
- 。
- (9) Exit2-IR : 他の状態へ遷移するためのテンポラリ状態。
- (10) Update-IR : 命令レジスタの出力ラッチを更新する状態。
- (11) Capture-DR : テストデータレジスタのシフトレジスタ段にシステム回路から値を取り込む状態。
- (12) Shift-DR : テストデータレジスタのスキャン動作を行う状態。
- 。
- (13) Exit1-DR : 他の状態へ遷移するためのテンポラリ状態。
- (14) Pause-DR : テストデータレジスタのシフト動作を一時的に停止する状態。
- (15) Exit2-DR : 他の状態へ遷移するためのテンポラリ状態。
- (16) Update-DR : データレジスタの出力ラッチを更新する状態。

【0027】

次にこの発明の実施の形態2による半導体デバイスのスキャンテスト方式の動作について説明する。

アナログセンサ3側のスキャンレジスタ4によってアナログ入出力ピン5からデジタル信号(“H”または“L”)を半導体デバイス2に出力する。一方、半導体デバイス2側では、入力されたデジタル信号(“H”または“L”)をパウ

ンダリスキャンレジスタ 9 によって取り込み、その結果をバウンダリスキャンレジスタチェーン 1 0 に沿って T D O 1 1 から外部に出力する。このバウンダリスキャンレジスタ 9 は J T A G 仕様であるからその制御は、市販のバウンダリスキャンレジスタ検査装置によりテストパターンを自動で生成することにより実行することができ、外部から T M S 1 2、T D I 1 3 および T C K 1 4 に所定の信号を入力することで、T A P C 1 5 を状態遷移させて、必要な制御信号を生成させることで対処可能である。

【 0 0 2 8 】

以上のように、この実施の形態 2 によれば、上記実施の形態 1 で述べた半導体デバイスのスキャンテスト方式と同様な効果に加えて、J T A G バウンダリスキャンレジスタを内蔵し、レジスタチェーンを構成することから市販のバウンダリスキャンレジスタ検査装置によりテストパターンを自動生成したものを利用できるので、さらに検査効率が向上し低コストで実施できる効果が得られる。

【 0 0 2 9 】

実施の形態 3 .

図 4 (a) および (b) はこの発明の実施の形態 3 による半導体デバイスのスキャンテスト方式の概略構成図であり、デジタル／アナログダブルファンクションピンにバウンダリスキャンレジスタを設けた例が示されている。図において、2 は半導体デバイス、6 はデジタル入出力ピン、8 は内部システムロジック（内部回路）、9 はバウンダリスキャンレジスタ（第 1、第 2 のスキャンレジスタ）、1 0 はバウンダリスキャンレジスタチェーン（第 1、第 2 のレジスタチェーン）、1 1 は T D O、1 2 は T M S、1 3 は T D I、1 4 は T C K、1 5 は T A P C、3 6 はデジタル／アナログダブルファンクションピン、S W 1、S W 2 はスイッチ（切り替え手段、第 1 のスイッチ、第 2 のスイッチ）である。

【 0 0 3 0 】

ここで、市販のバウンダリスキャン検査装置はデジタルピン対応であるため、デジタル／アナログダブルファンクションピン 3 6 をアナログピンとして使用する場合、スイッチ S W 1、S W 2 で切り替えて使用する。なお、このデジタル／アナログダブルファンクションピン 3 6 をデジタルピンとして使用するときには

、通常のデジタルピンと同等の扱いになるのでバイパスしないよう切り替える。

【0031】

図4（a）はデジタル／アナログダブルファンクションピン36をデジタルピンとして使用したものを示しているが、この場合には、他のデジタル専用ピンと同等の取り扱いとなるため、他のバウンダリスキャンレジスタとシリアル接続することで一括検査を行うことができる。一方、図4（b）はデジタル／アナログダブルファンクションピン36をアナログピンとして使用したものを示しており、この場合には、上記実施の形態2と同様の動作を行う。

【0032】

次にこの発明の実施の形態3による半導体デバイスのスキャンテスト方式の動作について説明する。

半導体デバイス2に入力されたデジタル信号（“H”または“L”）をバウンダリスキャンレジスタ9によって取り込み、結果をバウンダリスキャンレジスタチェーン10に沿ってTDO11から外部に出力することでアナログピンの配線検査を行う。なお、バウンダリスキャンレジスタ9の制御は、上記実施の形態2と同様に、外部からTMS12、TDI13、およびTCK14に信号を入力することでTAPC15を状態遷移させて、必要な制御信号を生成することにより行う。

【0033】

以上のように、この実施の形態3によれば、上記実施の形態2と同様の効果が得られ、さらに、JTAG命令で任意のスキャンレジスタチェーンを構成できるため、例えば、ユーザがダブルファンクションピンをデジタルピンとして使用するときには、他のデジタル専用端子とでチェーンを構成すれば、市販の自動テストパターン生成ツールによるテストパターンを利用することができ、一括検査を行うことができさらに検査効率が向上するという効果が得られる。

【0034】

【発明の効果】

以上のように、この発明によれば、アナログ入力側の第1のアナログ入出力ピンと第1の内部回路との間に接続されるスキャンレジスタを備えた第1の半導体

デバイスと、アナログ出力側の第2のアナログ入出力ピンと第2の内部回路との間に接続されるスキャンレジスタを備えた第2の半導体デバイスと、第1のアナログ入出力ピンと第2のアナログ入出力ピンとを接続するアナログ配線とを備えて構成したので、アナログ接続された第1および第2の半導体デバイス間の配線ショート／オープンをデジタル的に検査するため、デバイス実装後に従来実施していた各配線にプローブを立てる等のモニター検査が不要となり検査コストを削減でき、検査効率が向上するという効果がある。

【 0 0 3 5 】

この発明によれば、第1および第2の半導体デバイスのうち少なくとも一方がデバイス内部でスキャンレジスタの複数個をシリアル接続したレジスタチェーンを構成したので、上記の効果に加えて、市販のバウンダリスキャン検査装置によりテストパターンを自動生成でき、検査時間とコストを低減する効果がある。

【 0 0 3 6 】

この発明によれば、レジスタチェーンを構成するスキャンレジスタはJTAG仕様に適合しJTAGスキャンレジスタを構成し、このJTAGスキャンレジスタを制御する制御手段を備えて構成したので、JTAG命令を制御手段に送り、命令を受けた制御手段が各スキャンレジスタに対して制御信号を出力して所望の動作が実行でき、これにより、自動で配線ショート／オープンを検査するため検査時間が短縮でき、各配線にプローブを立てる等の余分なモニター検査を排除するとともに、検査効率が向上するという効果がある。

【 0 0 3 7 】

この発明によれば、入力側のデジタル／アナログダブルファンクションピンと内部回路との間に接続される第1のスキャンレジスタと、出力側のデジタル入出力ピンと内部回路との間に接続される第2のスキャンレジスタと、第1のスキャンレジスタの複数個をシリアル接続し、各々がデータ入力を取り込みその結果を出力側に出力する第1のレジスタチェーンと、この第1のレジスタチェーンに連続しつつ、第2のスキャンレジスタの複数個をシリアル接続し、各々がデータ入力を取り込みその結果をデータ出力に出力する第2のレジスタチェーンと、第1および第2のレジスタチェーンの少なくとも一方をバイパスしてデータ入力を出

力側に接続する切り替え手段とを備えて構成したので、上記の効果に加えて、例えば、ユーザがダブルファンクションピンをデジタルピンとして使用する場合には、他のデジタル専用ピンとで第1および第2のレジスタチェーンを構成すれば、自動テストパターン生成ツールが使用でき、一方、ダブルファンクションピンをアナログピンとして使用する場合には、アナログピンだけのスキャンレジスタチェーンが構成できるので検査を効率よく実施できる効果がある。

【0038】

この発明によれば、第1および第2のレジスタチェーンを構成するスキャンレジスタはJTAG仕様に適合しJTAGスキャンレジスタを構成し、このJTAGスキャンレジスタを制御する制御手段を備えたので、JTAG命令を制御手段に送り、命令を受けた制御手段が各スキャンレジスタに対して制御信号を出力して所望の動作が実行でき、これにより、自動で配線ショート／オープンを検査するため検査時間が短縮できる効果があり、さらに、各配線にプローブを立てる等の余分なモニター検査を排除できるので検査の低コスト化を実現でき、検査効率が向上するという効果がある。

【0039】

この発明によれば、切り替え手段が、第1のレジスタチェーンとこれをバイパスする第1のバイパス線とを切り替える第1のスイッチと、第2のレジスタチェーンとこれをバイパスする第2のバイパス線とを切り替える第2のスイッチとから成るように構成したので、第1のスイッチと第2のスイッチの使い分けにより、例えばダブルファンクションピンをデジタルピンとして使用する場合と、アナログピンとして使用する場合には第1のスイッチを使用して実現できる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体デバイスのスキャンテスト方式を示す概略構成図である。

【図2】 スキャンレジスタの基本構成を示す回路図である。

【図3】 この発明の実施の形態2による半導体デバイスのスキャンテスト方式を示す概略構成図である。

【図4】 この発明の実施の形態3による半導体デバイスのスキャンテスト方式を示す概略構成図である。

【図5】 従来の半導体デバイスのスキャンテスト方式を示す概略構成図である。

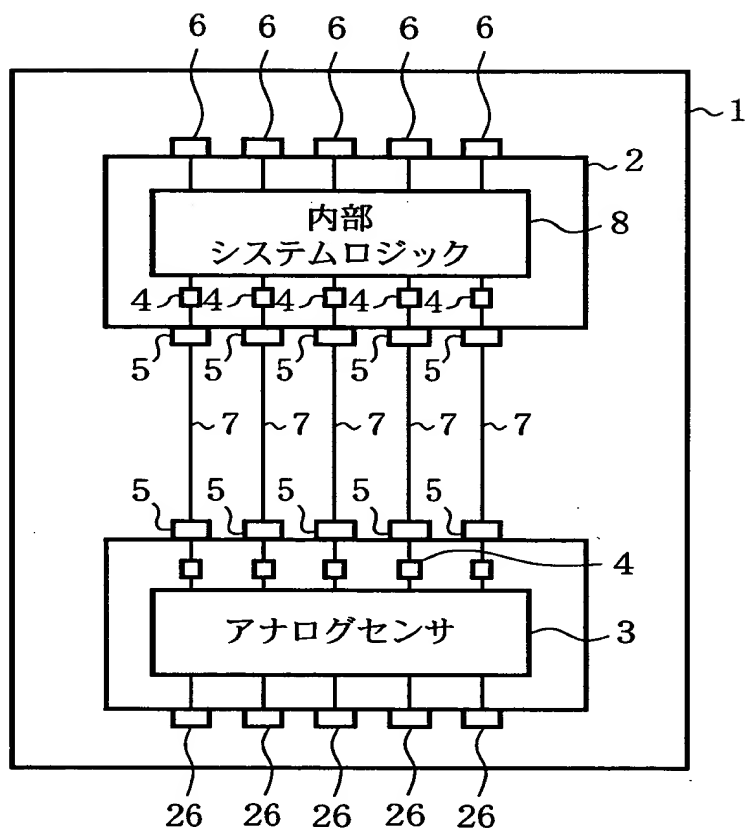
【図6】 バウンダリスキャンレジスタの基本構成を示す回路図である。

【符号の説明】

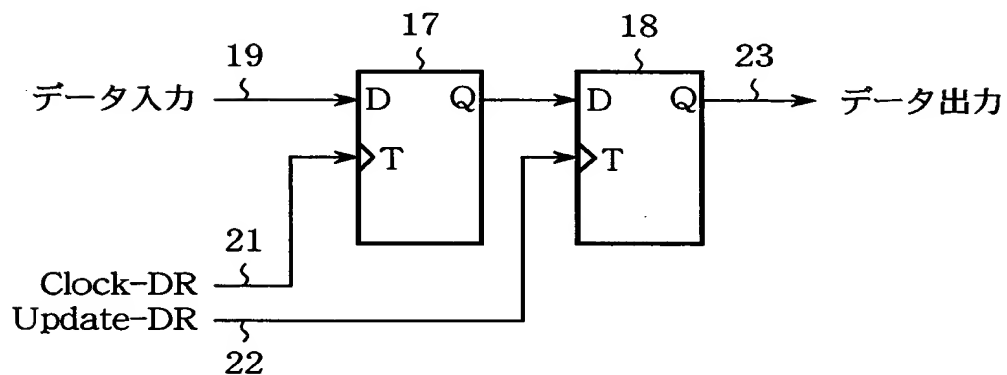
1 半導体実装基盤、2 半導体デバイス（第1の半導体デバイス）、3 アナログセンサ（第2の内部回路、第2の半導体デバイス）、4 スキャンレジスタ、5 アナログ入出力ピン、6 デジタル入出力ピン、7 アナログ配線、8 内部システムロジック（第1の内部回路、内部回路）、9 バウンダリスキャンレジスタ（スキャンレジスタ、第1および第2のスキャンレジスタ）、10 バウンダリスキャンレジスタチェーン（レジスタチェーン、第1および第2のレジスタチェーン）、11 TDO、12 TMS、13 TDI、14 TCK、15 TAPC（制御手段）、16 入力マルチプレクサ、17 シフトレジスタステージ、18 パラレル出力ステージ、19 データ入力、20 Shift-DR、21 Clock-DR、22 Update-DR、23 データ出力、26 入出力ピン、36 デジタル／アナログダブルファンクションピン、SW1, SW2 スイッチ（切り替え手段、第1のスイッチ、第2のスイッチ）。

【書類名】 図面

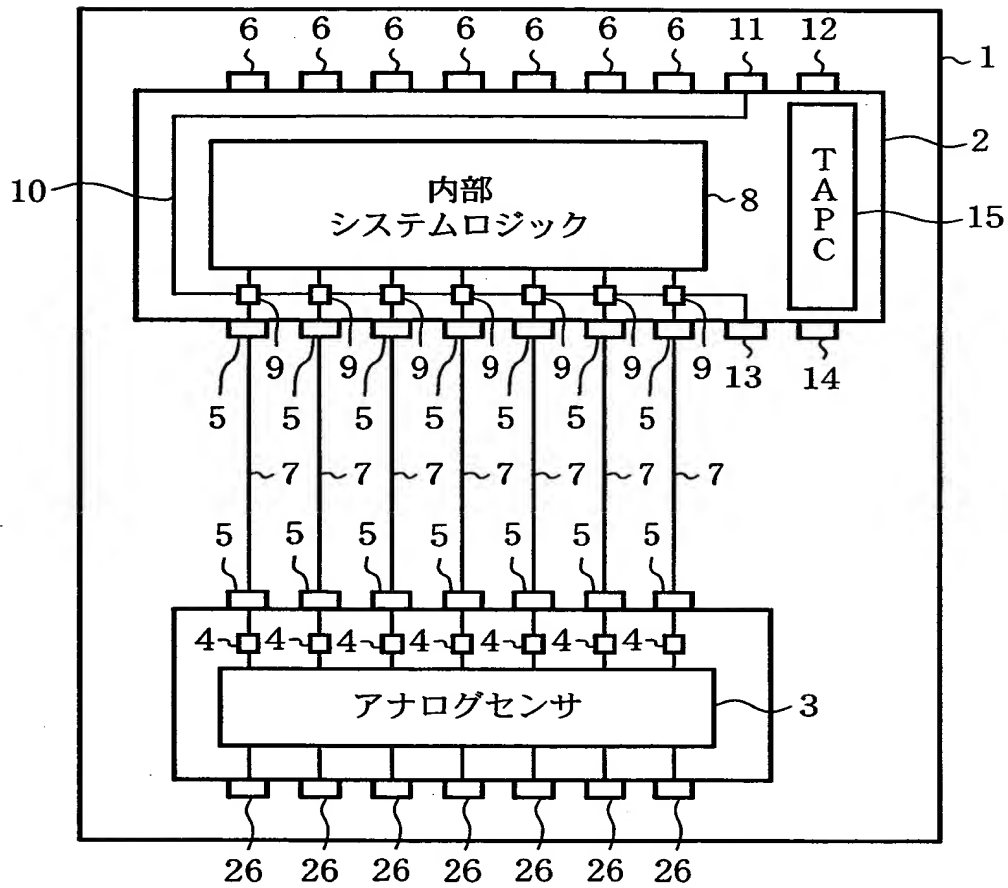
【図1】



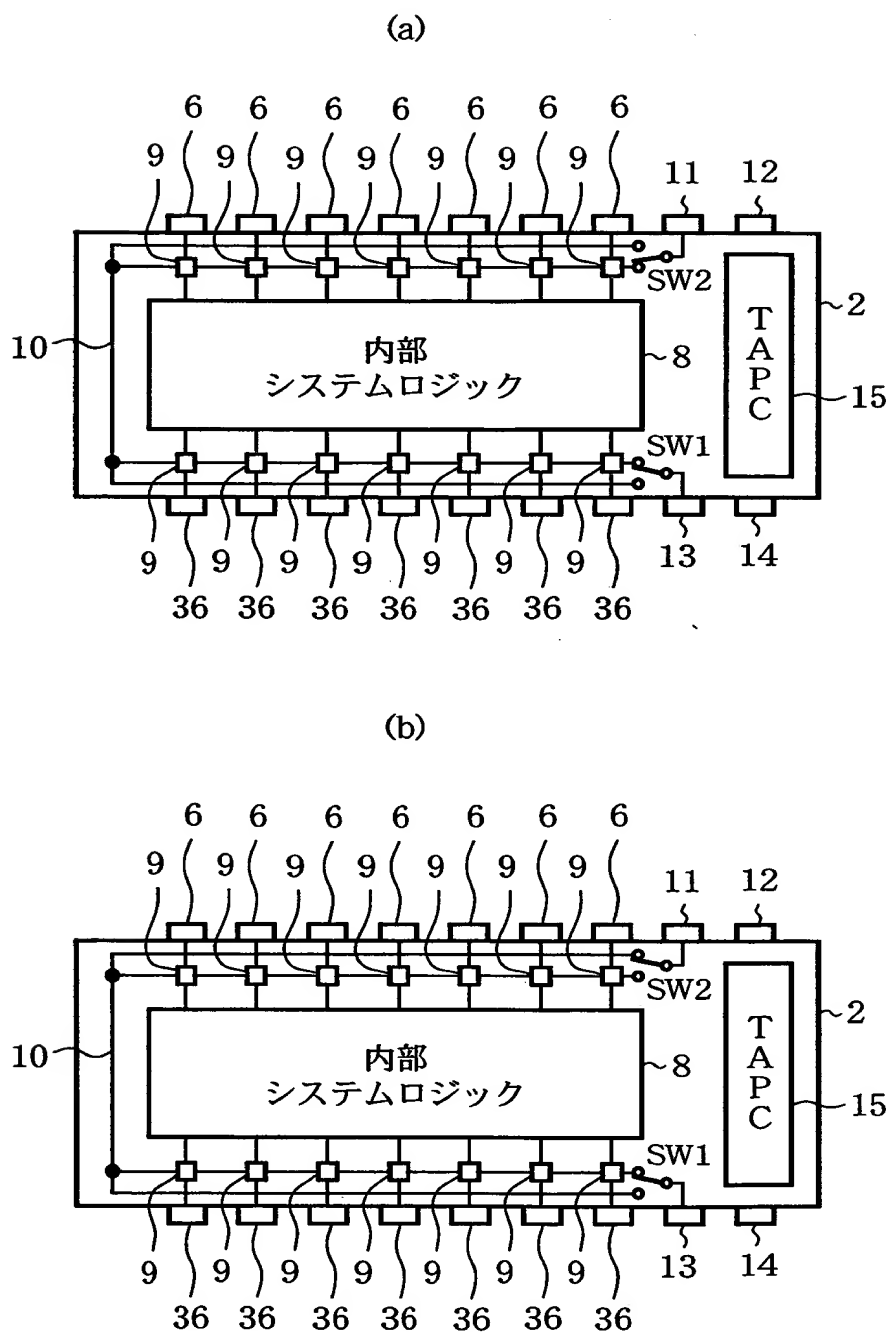
【図2】



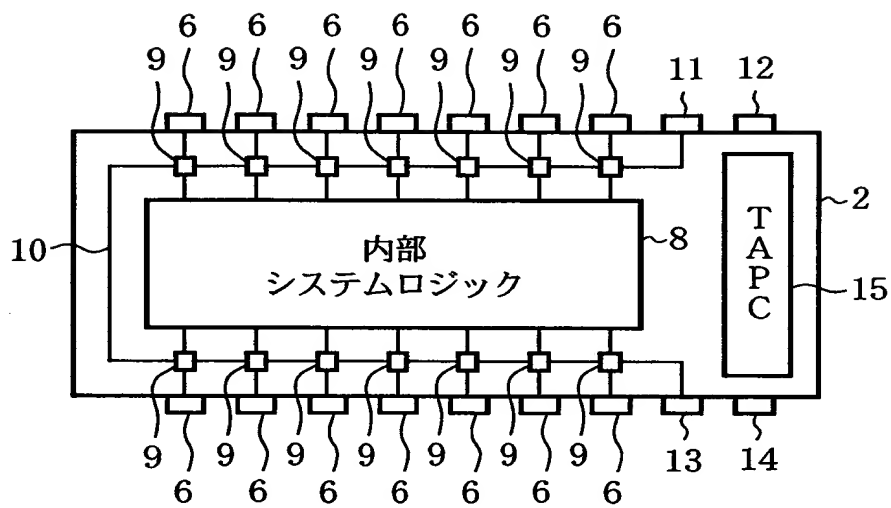
【図3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 半導体デバイス実装の高密度化とデバイスの多ピン化によりプローブを立てたモニター検査が困難で高コストであるといった課題があった。

【解決手段】 アナログ入力側の入出力ピンと内部システムロジック間に接続されるスキャンレジスタを備えた半導体デバイスと、アナログ出力側の入出力ピンとアナログセンサ間に接続されるスキャンレジスタを備えた半導体デバイスと、入出力ピン同士を接続するアナログ配線を備えたスキャンテスト方式を提供し、スキャンレジスタはチェーン化されバウンダリスキャンレジスタチェーンを構成しTAPCによりJTAG制御できるようにした。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社